

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-058240
(43)Date of publication of application : 22.02.2002

(51)Int.Cl. H02M 3/155

(21)Application number : 2000-361737 (71)Applicant : AUTO NETWORK GIJUTSU
KENKYUSHO:KK
SUMITOMO WIRING SYST LTD
SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 28.11.2000 (72)Inventor : KOSAKA MITSUAKI
CHIN NOBORU
ISSHIKI NORIO
SHIMADA TOSHIRO

(30)Priority
Priority number : 2000164471 Priority date : 01.06.2000 Priority country : JP

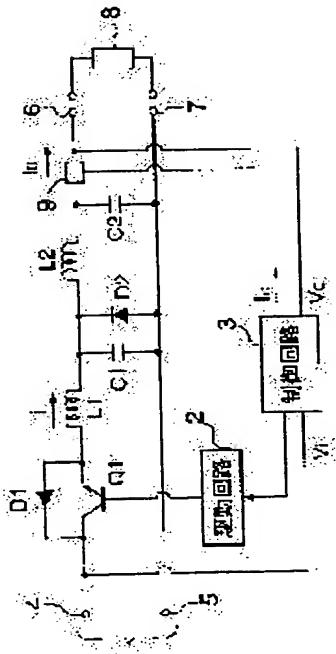
(54) DC-DC CONVERTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform zero current switching certainly by controlling the off timing of a semiconductor switching element.

SOLUTION: The inductance L_r of a reactor L_1 for resonance of a converter circuit part 1 and the capacitance C_r of a capacitor C_1 for resonance are already known, and when each value L_r and C_r is settled, the cycle T_n of a resonance current and the property impedance Z_n are settled, so each value T_n and Z_n is stored in advance in the memory of a control circuit 3. The control circuit 3 computes a time T_0 , according to the following equation, using each value T_n and Z_n in the memory and the input voltage V_i and the output current I_o being detected, and switches a transistor q_1 from ON to OFF at the point of time when the time T_0 has passed from the ON time of the transistor Q_1 .

$$T_0 = T_n / 2 + T_n \cdot I_o \cdot Z_n / (2 \cdot V_i)$$



書誌

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開2002-58240(P2002-58240A)
(43)【公開日】平成14年2月22日(2002. 2. 22)
(54)【発明の名称】DC-DCコンバータ回路
(51)【国際特許分類第7版】

H02M 3/155

【FI】

H02M 3/155 Q
H

【審査請求】未請求

【請求項の数】12

【出願形態】OL

【全頁数】22

(21)【出願番号】特願2000-361737(P2000-361737)

(22)【出願日】平成12年11月28日(2000. 11. 28)

(31)【優先権主張番号】特願2000-164471(P2000-164471)

(32)【優先日】平成12年6月1日(2000. 6. 1)

(33)【優先権主張国】日本(JP)

(71)【出願人】

【識別番号】395011665

【氏名又は名称】株式会社オートネットワーク技術研究所

【住所又は居所】愛知県名古屋市南区菊住1丁目7番10号

(71)【出願人】

【識別番号】000183406

【氏名又は名称】住友電装株式会社

【住所又は居所】三重県四日市市西末広町1番14号

(71)【出願人】

【識別番号】0000002130

【氏名又は名称】住友電気工業株式会社

【住所又は居所】大阪府大阪市中央区北浜四丁目5番33号

(72)【発明者】

【氏名】▲高▼阪 光昭

【住所又は居所】愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所
内

(72)【発明者】

【氏名】陳 登

【住所又は居所】愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所
内

(72)【発明者】

【氏名】一色 功雄

【住所又は居所】愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所
内

(72)【発明者】

【氏名】嶋田 俊郎

【住所又は居所】愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所
内

(74)【代理人】

【識別番号】100067828

【弁理士】

【氏名又は名称】小谷 悅司 (外2名)

【テーマコード(参考)】

5H730

【Fターム(参考)】

5H730 AA02 AA14 AS04 AS05 BB13 BB62 DD02 EE59 FD01 FD31 FD41 FD51 FD58 FG07

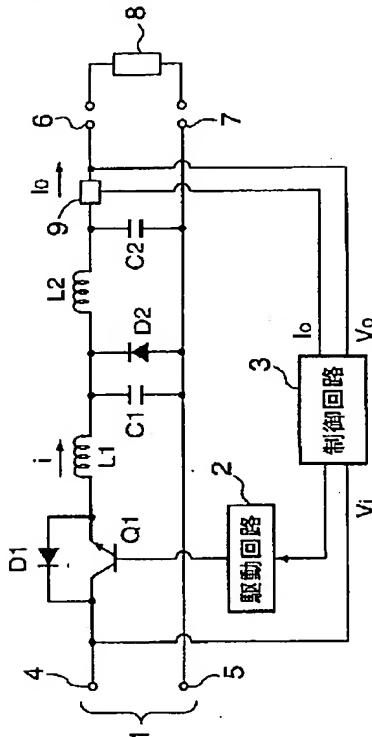
要約

(57)【要約】

【課題】半導体スイッチング素子のオフタイミングを制御することで、確実にゼロ電流スイッチングを行わせる。

【解決手段】コンバータ回路部1の共振用リアクトルL1のインダクタンスLrおよび共振用コンデンサC1のキャパシタンスCrは既知で、各値Lr, Crが決まると共振電流の周期Tnおよび特性インピーダンスZnが決まるので、制御回路3のメモリに、各値Tn, Znを予め格納しておく。制御回路3は、メモリの各値Tn, Znと検出した入力電圧Viおよび出力電流Ioとを用いて、下記式に従って時間Toを算出し、トランジスタQ1のオン時点から時間Toが経過した時点で、トランジスタQ1をオンからオフに切り替える。

$$T_o = T_n / 2 + T_n \cdot I_o \cdot Z_n / (2 \cdot V_i)$$



請求の範囲

【特許請求の範囲】

【請求項1】入力電圧をオンオフするスイッチング手段と、このスイッチング手段に直列に接続された共振用リクトルおよびこの共振用リクトルと共振する共振用コンデンサからなる共振回路と、上記スイッチング手段をオンオフさせる駆動手段とを備えたスイッチング方式のDC-DCコンバータ回路において、当該回路の電気信号を検出する検出手段と、上記駆動手段の動作を制御する駆動制御手段とを備え、上記駆動制御手段は、上記スイッチング手段に共振電流が流れていないときに当該スイッチング手段をオンからオフに切り替えるべく、検出された上記電気信号に基づき上記スイッチング手段のオフタイミングを制御するものであることを特徴とするDC-DCコンバータ回路。

【請求項2】請求項1記載のDC-DCコンバータ回路において、当該回路は入力電圧を降圧して出力する降圧形コンバータ回路であり、上記検出手段は、上記電気信号として入力電圧および出力電流を検出するもので、上記駆動制御手段は、検出された上記入力電圧および上記出力電流に基づき上記スイッチング手段に共振電流が流れている時間を算出し、上記スイッチング手段のオン時点から当該算出された時間が経過すると上記スイッチング手段をオンからオフに切り替えるものであることを特徴とするDC-DCコンバータ回路。

【請求項3】請求項2記載のDC-DCコンバータ回路において、上記駆動制御手段は、上記共振用リクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リクトルに流れる共振電流の周期が予め格納された記憶手段を備え、下記式に基づき上記時間を算出するものであることを特徴とするDC-DCコンバータ回路。

$T_o = T_n \cdot (1 + Z_n \cdot I_o / V_i) / 2Z_n = \sqrt{(L_r / C_r)}$ ここで、 T_o : 共振電流が流れている時間 T_n : 共振用リクトルに流れる共振電流の周期 Z_n : 共振回路の特性インピーダンス I_o : 出力電流 V_i : 入力電圧 L_r : 共振用リクトルのインダクタンス C_r : 共振用コンデンサのキャパシタンスである。

【請求項4】請求項1記載のDC-DCコンバータ回路において、上記検出手段は、上記電気信号として上記共振用リクトルに流れる共振電流を検出するもので、上記駆動制御手段は、検出された上記共振電流を用いて上記スイッチング手段に共振電流が流れなくなる時点を求め、当該求めた時点になると、上記スイッチング手段をオンからオフに切り替えるものであることを特徴とするDC-DCコンバータ回路。

【請求項5】請求項4記載のDC-DCコンバータ回路において、上記駆動制御手段は、上記共振電流が低下して所定値以下になった時点から所定時間後に上記スイッチング手段をオンからオフに切り替えるものであることを特徴とするDC-DCコンバータ回路。

【請求項6】請求項5記載のDC-DCコンバータ回路において、上記所定値は、予め設定された一定の値であることを特徴とするDC-DCコンバータ回路。

【請求項7】請求項5記載のDC-DCコンバータ回路において、上記所定値は、上記スイッチング手段のオン時点から所定時間後における上記共振電流の電流値であることを特徴とするDC-DCコンバータ回路。

【請求項8】請求項5記載のDC-DCコンバータ回路において、上記所定値は、上記共振電流のピーク値に応じて設定されるものであることを特徴とするDC-DCコンバータ回路。

【請求項9】請求項4記載のDC-DCコンバータ回路において、上記検出手段は、上記電気信号として、さらに出力電流および上記共振用コンデンサに流れる容量電流を検出するもので、上記駆動制御手段は、上記スイッチング手段のオン時点から上記共振電流が上記出力電流以上になる時点までの経過時間をカウントし、上記容量電流が所定値以下になった時点から上記経過時間後に上記スイッチング手段をオンからオフに切り替えるものであることを特徴とするDC-DCコンバータ回路。

【請求項10】請求項4記載のDC-DCコンバータ回路において、上記検出手段は、上記電気信号として、さらに出力電流を検出するもので、上記駆動制御手段は、上記スイッチング手段のオン時点から上記共振電流が上記出力電流以上になる時点までの経過時間をカウントし、上記共振電流が低下して上記出力電流以下になった時点から上記経過時間後に上記スイッチング手段をオンからオフに切り替えるものであることを特徴とするDC-DCコンバータ回路。

【請求項11】請求項1記載のDC-DCコンバータ回路において、当該回路は入力電圧を昇圧して出力する昇圧形コンバータ回路であり、上記検出手段は、上記電気信号として出力電圧および入力電流を検出するもので、上記駆動制御手段は、検出された上記出力電圧および上記入力電流に基づき

上記スイッチング手段に共振電流が流れている時間を算出し、上記スイッチング手段のオン時点から当該算出された時間が経過すると上記スイッチング手段をオンからオフに切り替えるものであることを特徴とするDC-DCコンバータ回路。

【請求項12】請求項11記載のDC-DCコンバータ回路において、上記駆動制御手段は、上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期が予め格納された記憶手段を備え、下記式に基づき上記時間を算出するものであることを特徴とするDC-DCコンバータ回路。

$T_o = T_n \cdot (1 + Z_n \cdot I_{in} / V_o) / 2Z_n = \sqrt{(L_r / C_r)}$ ここで、 T_o : 共振電流が流れている時間 T_n : 共振用リアクトルに流れる共振電流の周期 Z_n : 共振回路の特性インピーダンス I_{in} : 入力電流 V_o : 出力電圧 L_r : 共振用リアクトルのインダクタンス C_r : 共振用コンデンサのキャパシタンスである。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング損失を低減するようにしたDC-DCコンバータ回路に関するものである。

【0002】

【従来の技術】従来、DC-DCコンバータ回路として、半導体スイッチング素子のオンオフを用いたスイッチモードコンバータが知られている。このスイッチモードコンバータは、スイッチング周波数が高くなるとスイッチング損失が増大するため、共振用リアクトルおよび共振用コンデンサからなる共振回路を備え、電圧共振を利用してゼロ電圧でスイッチングを行う方式や、電流共振を利用してゼロ電流でスイッチングを行う方式などを採用することにより、スイッチング損失を低減するようしている。

【0003】図31はゼロ電流スイッチング方式のDC-DCコンバータ回路の動作を説明するタイミングチャートである。一般に、ゼロ電流スイッチング方式のDC-DCコンバータ回路では、ダイオードにより共振電流 $i < 0$ のときに半導体スイッチング素子に電流が流れないように構成されている。そこで、半導体スイッチング素子のオン時間を T_{100} とし、共振電流 $i \geq 0$ の時間を T_{110} とすると、半導体スイッチング素子のオン時間は、 $T_{100} > T_{110}$ の一定値に設定されている。そして、出力電圧は、スイッチング周波数、すなわちオンオフ周期 T_{200} を変化させることにより制御している。

【0004】

【発明が解決しようとする課題】このような共振を利用したDC-DCコンバータ回路における共振周波数は、共振回路のインダクタンスおよびキャパシタンスによって決められるが、動作環境の変化や経年劣化などによるインダクタンスやキャパシタンスなどのパラメータ変化や、それらに起因する入力電圧や出力電流などの変化が生じると、共振電流 $i = 0$ になるタイミング、すなわち共振電流 $i \geq 0$ の時間 T_{110} が変化してしまう。

【0005】ここで、上記従来技術のように半導体スイッチング素子のオン時間 T_{100} が一定値の場合には、共振電流 $i = 0$ になるタイミングが遅れると、半導体スイッチング素子に流れる電流がゼロでないときに当該スイッチング素子がオフすることとなり、その分スイッチング損失が増大してしまうこととなる。

【0006】本発明は、上記問題を解決するもので、半導体スイッチング素子のオフタイミングを制御することで、確実にゼロ電流スイッチングを行わせるようにしたDC-DCコンバータ回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、入力電圧をオンオフするスイッチング手段と、このスイッチング手段に直列に接続された共振用リアクトルおよびこの共振用リアクトルと共に共振する共振用コンデンサからなる共振回路と、上記スイッチング手段をオンオフさせる駆動手段とを備えたスイッチング方式のDC-DCコンバータ回路において、当該回路の電気信号を検出する検出手段と、上記駆動手段の動作を制御する駆動制御手段とを備え、上記駆動制御手段は、上記スイッチング手段に共振電流が流れていないと当該スイッチング手段をオンからオフに切り替えるべく、検出された上記電気信号に基づき上記スイッチング手段のオフタイミングを制御するものである。

【0008】この構成によれば、駆動手段によりスイッチング手段がオンオフされると、直流入力電圧がチョッピングされて、共振用リアクトルおよび共振用コンデンサからなる共振回路による共振によりスイッチング手段に共振電流が流れる。このとき、回路の電気信号が検出され、この検出された電気信号に基づきスイッチング手段のオフタイミングが制御され、スイッチング手段に電流が流れていないときに当該スイッチング手段がオンからオフに切り替えられる。これによって確実にゼロ電流スイッチングが行われ、スイッチング損失の増大が防止される。

【0009】また、入力電圧を降圧して出力する降圧形コンバータ回路であり、上記検出手段は、上記電気信号として入力電圧および出力電流を検出するもので、上記駆動制御手段は、検出された上記入力電圧および上記出力電流に基づき上記スイッチング手段に共振電流が流れている時間を算出し、上記スイッチング手段のオン時点から当該算出された時間が経過すると上記スイッチング手段をオンからオフに切り替えるものであるとしてもよい。

【0010】この構成によれば、検出された入力電圧および出力電流に基づきスイッチング手段に共振電流が流れている時間が算出され、スイッチング手段のオン時点から当該算出された時間が経過するとスイッチング手段がオンからオフに切り替えられる。これによって、入力電圧または出力電流の変化によりスイッチング手段に共振電流が流れている時間が変化した場合でも、確実にゼロ電流スイッチングが行われ、スイッチング損失の増大が防止される。

【0011】また、上記駆動制御手段は、上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期が予め格納された記憶手段を備え、下記式に基づき上記時間を算出するものであるとしてもよい。

$T_o = T_n \cdot (1 + Z_n \cdot I_o / V_i) / 2Z_n = \sqrt{(L_r / C_r)}$ ここで、 T_o : 算出される時間 T_n : 共振用リアクトルに流れる共振電流の周期 Z_n : 共振回路の特性インピーダンス I_o : 出力電流 V_i : 入力電圧 L_r : 共振用リアクトルのインダクタンス C_r : 共振用コンデンサのキャパシタンスである。

【0012】この構成によれば、予め格納されている上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期を用いて、上記式によりスイッチング手段に共振電流が流れている時間が算出される。これによって、上記時間の算出が、精度良く、かつ容易に行われることとなる。

【0013】また、上記検出手段は、上記電気信号として上記共振用リアクトルに流れる共振電流を検出するもので、上記駆動制御手段は、検出された上記共振電流を用いて上記スイッチング手段に共振電流が流れなくなる時点を求め、当該求めた時点になると、上記スイッチング手段をオンからオフに切り替えるものであるとしてもよい。

【0014】この構成によれば、共振用リアクトルに流れる共振電流が検出され、検出された共振電流を用いてスイッチング手段に共振電流が流れなくなる時点が求められ、当該求められた時点になると、スイッチング手段がオンからオフに切り替えられる。

【0015】これによって、動作環境の変化や経時劣化などにより共振回路を構成するリアクトルやコンデンサのパラメータが変化して、共振電流のピーク値や波形が変化し、そのためスイッチング手段に共振電流が流れている時間が変化した場合でも、共振電流を検出して上記時点を求めているので、確実にゼロ電流スイッチングが行われ、スイッチング損失の増大が防止される。

【0016】また、上記駆動制御手段は、上記共振電流が低下して所定値以下になった時点から所定時間後に上記スイッチング手段をオンからオフに切り替えるものであるとしてもよい。

【0017】この構成によれば、共振電流が低下して所定値以下になった時点から所定時間後にスイッチング手段がオンからオフに切り替えられる。ここで、例えば共振電流のピーク値が増大し、スイッチング手段に共振電流が流れている時間が標準状態より長くなる場合には、共振電流が所定値以下になる時点も、標準状態より遅くなる。従って、その場合でも、共振電流が所定値以下になる時点から所定時間後には、スイッチング手段に共振電流が流れていないとする。このように、動作環境などの変化により共振電流が変化した場合でも、確実にゼロ電流スイッチングが行われ、スイッチング損失の増大が防止される。

【0018】この場合において、上記所定値は、予め設定された一定の値であるとすると、簡易な構成で回路が実現されることとなる。

【0019】一方、上記所定値が、上記スイッチング手段のオン時点から所定時間後における上記共振電流の電流値であるとしたり、上記共振電流のピーク値に応じて設定されるものであるとすると、所定

値が一定の値でなく共振電流の変化を反映した値になるので、動作環境などの変化に対して、より確実にゼロ電流スイッチングが行われることとなる。

【0020】また、上記検出手段は、上記電気信号として、さらに出力電流および上記共振用コンデンサに流れる容量電流を検出するもので、上記駆動制御手段は、上記スイッチング手段のオン時点から上記共振電流が上記出力電流以上になる時点までの経過時間をカウントし、上記容量電流が所定値以下になった時点から上記経過時間後に上記スイッチング手段をオンからオフに切り替えるものであるとしてもよい。

【0021】この構成によれば、さらに出力電流および共振用コンデンサに流れる容量電流が検出され、スイッチング手段のオン時点から共振電流が出力電流以上になる時点までの経過時間がカウントされ、容量電流が所定値、例えばゼロ以下になった時点から上記カウントした経過時間後にスイッチング手段がオンからオフに切り替えられる。この場合において、出力電流が異常に増大した場合でも、共振によって生じる容量電流は確実にゼロに戻るので、容量電流が所定値以下になった時点を起算時点として、より確実にゼロ電流スイッチングが行われることとなる。

【0022】また、上記検出手段は、上記電気信号として、さらに出力電流を検出するもので、上記駆動制御手段は、上記スイッチング手段のオン時点から上記共振電流が上記出力電流以上になる時点までの経過時間をカウントし、上記共振電流が低下して上記出力電流以下になった時点から上記経過時間後に上記スイッチング手段をオンからオフに切り替えるものであるとしてもよい。

【0023】この構成によれば、さらに出力電流が検出され、スイッチング手段のオン時点から共振電流が出力電流以上になる時点までの経過時間がカウントされ、共振電流が低下して出力電流以下になった時点から上記経過時間後にスイッチング手段がオンからオフに切り替えられる。ここで、動作環境などの変化により共振電流が変化すると、その変化に応じて出力電流や上記経過時間も変化することになるが、その場合でも、スイッチング手段のオン時点から共振電流が出力電流以上になる時点までの時間と、共振電流が低下して出力電流以下になった時点からゼロになる時点までの時間とは、ほぼ一致すると考えられる。従って、動作環境などの変化により共振電流が変化した場合でも、確実にゼロ電流スイッチングが行われ、スイッチング損失の増大が防止される。

【0024】また、入力電圧を昇圧して出力する昇圧形コンバータ回路であり、上記検出手段は、上記電気信号として出力電圧および入力電流を検出するもので、上記駆動制御手段は、検出された上記出力電圧および上記入力電流に基づき上記スイッチング手段に共振電流が流れている時間を算出し、上記スイッチング手段のオン時点から当該算出された時間が経過すると上記スイッチング手段をオンからオフに切り替えるものであるとしてもよい。

【0025】この構成によれば、検出された出力電圧および入力電流に基づきスイッチング手段に共振電流が流れている時間が算出され、スイッチング手段のオン時点から当該算出された時間が経過するとスイッチング手段がオンからオフに切り替えられる。これによって、出力電圧または入力電流の変化によりスイッチング手段に共振電流が流れている時間が変化した場合でも、確実にゼロ電流スイッチングが行われ、スイッチング損失の増大が防止される。

【0026】また、上記駆動制御手段は、上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期が予め格納された記憶手段を備え、下記式に基づき上記時間を算出するものであるとしてもよい。

$T_o = T_n \cdot (1 + Z_n \cdot I_{in} / V_o) / 2Z_n = \sqrt{(L_r / C_r)}$ ここで、 T_o : 共振電流が流れている時間 T_n : 共振用リアクトルに流れる共振電流の周期 Z_n : 共振回路の特性インピーダンス I_{in} : 入力電流 V_o : 出力電圧 L_r : 共振用リアクトルのインダクタンス C_r : 共振用コンデンサのキャパシタンスである。

【0027】この構成によれば、予め格納されている上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期を用いて、上記式によりスイッチング手段に共振電流が流れている時間が算出される。これによって、上記時間の算出が、精度良く、かつ容易に行われることとなる。

【0028】

【発明の実施の形態】(第1実施形態)図1は本発明に係るDC-DCコンバータ回路の第1実施形態を示す回路ブロック図である。この回路は、コンバータ回路部1と、駆動回路2と、制御回路3とを備えている。

【0029】コンバータ回路部1は、入力端子4、5間に印加される直流入力電圧Viより低い直流出力電

圧 V_o を生成して出力端子6, 7間に接続される負荷8に印加するもので、公知の全波形ゼロ電流スイッチング方式の降圧形コンバータを構成している。

【0030】すなわち、このコンバータ回路部1は、入力電圧 Vi をチョッピングするトランジスタ(スイッチング手段)Q1と、このトランジスタQ1と逆並列に接続され、電流を逆方向に流すためのダイオードD1と、トランジスタQ1に直列に接続された共振用リアクトルL1と、共振用コンデンサC1と、リアクトルL2およびコンデンサC2からなり、出力電圧 V_o の脈動を抑制するための低域通過フィルタと、トランジスタQ1がオフしたときにリアクトルL2に蓄積されたエネルギーを放出するための還流用ダイオードD2とから構成されている。

【0031】リアクトルL2およびコンデンサC2の接続点と出力端子6との間に介設された電流検出回路9は、例えばホール素子または低抵抗からなり、出力電流 Io を検出するもので、出力電流 Io に比例する検出値を制御回路3に送出する。

【0032】駆動回路2は、制御回路3からの制御信号に従ってトランジスタQ1をオンオフさせるものである。

【0033】制御回路3は、CPU、メモリやA/D変換器などからなり、駆動回路2にパルス信号からなる制御信号を送出してトランジスタQ1のオンオフを制御するもので、以下の機能■～■を有する。

【0034】■入力電圧 Vi 、出力電圧 V_o 、出力電流 Io を検出する機能。

【0035】■トランジスタQ1をオンにした後、 $i < 0$ 、すなわち共振電流 i が反転してダイオードD1に流れている間に、トランジスタQ1をオンからオフに切り替えるゼロ電流スイッチングを行う機能。トランジスタQ1をオンからオフに切り替えるタイミングについては後述する。

【0036】■検出した出力電圧 V_o が予め設定された値に一致するように、トランジスタQ1のスイッチング周波数を制御する機能。

【0037】次に、図1、図2を用いて、制御回路3によりトランジスタQ1をオンからオフに切り替えるタイミングについて説明する。図2(a)(b)(c)は共振用リアクトルL1に流れる共振電流 i の電流波形図である。

【0038】共振用リアクトルL1に流れる共振電流 i として、図2(a)に示すような波形の電流 i が流れるが、この電流 i は、下記式(1)で表わされる。

$$i = Io + Ip \cdot \sin \omega t \quad \dots (1)$$

ここで、 ω は共振用リアクトルL1および共振用コンデンサC1からなる共振回路の共振角周波数、 Ip は共振電流 i の交流成分の振幅である。この共振角周波数 ω は、下記式(2)で表わされる。

$$1/\omega = \sqrt{(Lr \cdot Cr)} \quad \dots (2)$$

但し、共振用リアクトルL1のインダクタンスを Lr 、共振用コンデンサC1のキャパシタンスを Cr とする。

【0039】図2(a)において、 T_o は $i \geq 0$ の時間、 $T1$ は $i = 0$ から $i = Io$ になるまでの時間、 Tn は共振電流 i の周期である。ここで、同図より、 $Ip \cdot \sin(\omega T1) = Io \dots (3)$

$$\text{であるので}, T1 = \sin^{-1}(Io/Ip) / \omega \dots (4)$$

$$\text{が得られる。また}, Ip = Vi / Zn \dots (5)$$

である。ここで、 Zn は特性インピーダンスで、下記式(6)で表わされる。

$$Zn = \sqrt{(Lr / Cr)} \dots (6)$$

従って、上記式(4)は、 $T1 = \sin^{-1}(Io \cdot Zn / Vi) / \omega \dots (7)$

と表わせる。

【0040】また、図2(a)から分かるように、 $T_o = Tn / 2 + 2 \cdot T1 \dots (8)$

が成立する。

【0041】ここで、 $Io = 0$ のときは、図2(b)に示すように、 $T1 = 0$ で、 $T_o = Tn / 2$ となる。また、 $Io = Ip$ のときは、図2(c)に示すように、 $T_o = Tn$ になる。

【0042】従って、上記式(8)より、 $Io = 0$ のときは $T1 = 0$ で、 $Io = Ip$ のときは $T1 = Tn / 4$ になる。すなわち、 Io が0から Ip に変化すると、 $T1$ は0から $Tn / 4$ に変化する。この $T1$ の変化を直線変化、すなわち Io の1次関数で近似すると、上記式(7)より、 $T1 = (Io \cdot Zn / Vi) \cdot Tn / 4 \dots (9)$

が得られる。この式(9)を上記式(8)に代入すると、 $T_o = Tn / 2 + Tn \cdot Io \cdot Zn / (2 \cdot Vi) \dots (10)$ が得られる。

【0043】コンバータ回路部1において、共振用リアクトルL1のインダクタンス Lr および共振用コンデンサC1のキャパシタンス Cr は既知であり、各値 Lr 、 Cr が決まると、周期 Tn および特性インピーダンス Z

n が決まる。そこで、制御回路3のメモリに、周期 T_n および特性インピーダンス Z_n の各値を予め格納しておく。

【0044】そして、制御回路3は、メモリに格納されている各値 T_n , Z_n と、検出した入力電圧 V_i および出力電流 I_o とを用いて、上記式(10)に従って、時間 T_o を算出し、トランジスタQ1のオン時点から時間 T_o が経過した時点で、トランジスタQ1をオンからオフに切り替える。

【0045】なお、上記時間 T_o の算出は、所定時間(例えば数msec)ごとに行うようにすればよい。

【0046】このように、第1実施形態によれば、入力電圧 V_i および出力電流 I_o を検出し、上記式(10)に従って時間 T_o を算出し、トランジスタQ1のオン時点から時間 T_o が経過した時点でトランジスタQ1をオンからオフに切り替えるようにしているので、動作環境の変化などにより、入力電圧 V_i および出力電流 I_o が変化することによって、 $i=0$ になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0047】(第2実施形態)図3は本発明に係るDC-DCコンバータ回路の第2実施形態を示す回路ブロック図、図4は共振電流 i の波形図およびトランジスタQ1のオンオフを示すタイミングチャートである。なお、図1と同一物には同一符号を付している。

【0048】図3において、共振用リアクトルL1に直列に接続された電流検出回路10は、例えばカレントトランスからなり、共振用リアクトルL1に流れる共振電流 i を検出するもので、共振電流 i に比例する検出値を比較回路11に送出する。

【0049】比較回路11は、電流検出回路10により検出される共振電流 i と、電流閾値生成回路12で生成される閾値 I_1 ($I_1 > 0$)とを比較して、共振電流 i が低下して $i \leq I_1$ になると、その旨の検出信号を遅延回路13に送出するものである。

【0050】制御回路30は、出力電圧 V_o と設定値生成回路14で生成される設定値とを比較して、出力電圧 V_o が一定値に維持されるようなスイッチング周波数で駆動回路2にオン信号 S_{on} を送出するものである。また、制御回路30は、クロック同期信号を遅延回路13に送出する。

【0051】遅延回路13は、制御回路30から送られてくるクロック同期信号に基づき、比較回路11による検出信号の出力時点からの経過時間をカウントし、所定時間 T_2 が経過すると、駆動回路2にオフ信号 S_{off} を送出するものである。

【0052】この所定時間 T_2 は、共振電流 i が所定値 I_1 以下になった時点から確実に $i < 0$ になるまでの時間に予め設定されている。

【0053】駆動回路2は、制御回路30からオン信号 S_{on} が入力されるとトランジスタQ1をオンにし、遅延回路13からオフ信号 S_{off} が入力されるとトランジスタQ1をオンからオフに切り替える。

【0054】この構成により、図4に示すように、共振電流 i が低下して $i \leq I_1$ になった時点から所定時間 T_2 が経過すると、トランジスタQ1がオフにされる。

【0055】このように、第2実施形態によれば、共振用リアクトルL1に流れる共振電流 i が $i \leq I_1$ になった時点から確実に $i < 0$ になるまでの所定時間 T_2 を予め設定しておき、共振電流 i (瞬時値)を検出し、共振電流 i が $i \leq I_1$ になった時点から所定時間 T_2 の経過後にトランジスタQ1をオンからオフに切り替えるようにしているので、動作環境の変化や経年劣化により、共振用リアクトルL1や共振用コンデンサC1の各値 L_r , C_r が変化することによって、共振電流 $i=0$ になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。従って、スイッチング損失の増大を未然に防止することができる。

【0056】(第3実施形態)図5は本発明に係るDC-DCコンバータ回路の第3実施形態を示す回路ブロック図、図6は共振電流 i の波形図およびトランジスタQ1のオンオフを示すタイミングチャートである。なお、図1と同一物には同一符号を付す。

【0057】図5において、制御回路30は、トランジスタQ1のオン時点から計時そのためのクロック同期信号を遅延回路21, 22に送出するものである。遅延回路21は、電流検出回路10により検出される共振電流 i を取り込むとともに、制御回路30から送られてくるクロック同期信号に基づきトランジスタQ1のオン時点からの経過時間をカウントし、所定時間 T_{11} が経過した時点での共振電流 i を保持回路23に送出するものである。

【0058】保持回路23は、遅延回路21から送られてくる共振電流 i を閾値 I_2 として保持して比較回路24に送出するものである。比較回路24は、電流検出回路10により検出される共振電流 i を取り込み、共振電流 i と保持回路23から送られる閾値 I_2 とを比較して、共振電流 i が低下して $i \leq I_2$ になると、その

旨の検出信号を遅延回路22に送出するものである。

【0059】遅延回路22は、制御回路30から送られてくるクロック同期信号に基づき比較回路24による検出信号の送出時点からの経過時間をカウントし、所定時間T12(>T11)が経過した時点でオフ信号Soffを駆動回路2に送出するものである。また、遅延回路22は、オフ信号Soffの出力後に、保持回路23で保持されている閾値I2をリセットする。

【0060】この構成により、図6に示すように、トランジスタQ1のオン時点から所定時間T11が経過した時点での共振電流iが閾値I2とされ、共振電流iが低下してi≤I2になった時点から所定時間T12(>T11)が経過すると、トランジスタQ1がオンからオフに切り替えられる。

【0061】図7は、第3実施形態の、より具体的な回路構成例を示す回路ブロック図、図8は図7の各部■～■の信号を示すタイミングチャートである。なお、図7ではコンバータ回路部1の図示を省略し、図3と同一物には同一符号を付している。

【0062】図7において、スイッチ31、32は、例えばトランジスタからなり、スイッチ31は通常オン状態で、スイッチ32は通常オフ状態になっている。

【0063】電圧周波数変換(V/F)回路33は、出力電圧Voと設定値との電圧差V1に基づきスイッチング周波数を設定するものである。制御回路300は、このスイッチング周波数で決まるタイミングで、オン信号Sonを駆動回路2に送出するものである(図8の■)。また、制御回路300は、オン信号Sonを送出した時点から計時のためのクロック同期信号を第1遅延回路34に送出する。

【0064】オン信号SonによりトランジスタQ1がオンになると、共振電流iが比較回路35に取り込まれる(図8の■)。第1遅延回路34は、トランジスタQ1のオン時点から経過時間をカウントし、所定時間T11が経過すると、スイッチ31をオフにし、比較回路35は、スイッチ31がオフにされた時点の共振電流iの瞬時値を閾値I2として保持する(図8の■)。そして、比較回路35は、変化する共振電流iと閾値I2とを比較し、i≥I2の間、オン(ハイレベル)信号を出力する(図8の■)。

【0065】第2遅延回路36は、比較回路35からの出力信号を所定時間T12だけ遅延して出力する(図8の■)。なお、T12>T11に設定されている。

【0066】この第2遅延回路36からの出力信号は、第3遅延回路37によりさらに所定時間T13だけ遅延されるとともに(図8の■)、インバータゲート回路38により反転される(図8の■)。

【0067】アンドゲート回路39は、これらの信号の論理積を合成してパルス信号を生成し(図8の■)、制御回路300および第4遅延回路40に送出する。

【0068】制御回路300は、アンドゲート回路39からパルス信号が入力されると、駆動回路2にオフ信号Soffを送出する(図8の■)。第4遅延回路40は、アンドゲート回路39から入力されるパルス信号を所定時間T14だけ遅延してスイッチ32に出力し(図8の■)、このパルス信号によってスイッチ32がオンにされて比較回路35に保持されていた閾値I2がリセットされる。

【0069】従って、図8に示すように、オフ信号Soffは、■の立ち下がり時点に同期して出力されるが、この時点は、■の立ち下がり時点から所定時間T12後、i≤I2になった時点から所定時間T12後になる。ここで、T12は、T12>T11であって、オフ信号Soffがi<0の間にに出力されるような値に設定されているので、確実にゼロ電流スイッチングが行われることとなる。

【0070】また、共振電流iの1周期ごとに、比較回路35に保持されている閾値I2がリセットされる。従って、図8の■、■において、例えば左側の共振電流iより右側の共振電流iが増大している場合には、スイッチ31がオフにされた時点の共振電流iの各瞬時値I21、I22はI21<I22となり、左側の共振電流iより右側の共振電流iにおける閾値I2のレベルが増大することとなる。

【0071】ここで、左側の共振電流iの波形において、トランジスタQ1のオン時点から瞬時値I21になるまでの時間と、瞬時値I21からi=0になるまでの時間とは、ほぼ同一の値になる。また、右側の共振電流iの波形において、トランジスタQ1のオン時点から瞬時値I22になるまでの時間と、瞬時値I22からi=0になるまでの時間とは、やはり、ほぼ同一の値になる。

【0072】従って、トランジスタQ1のオン時点から所定時間T11が経過した時点での共振電流iの瞬時値を閾値として、閾値のレベルに関係なく、共振電流iが閾値以下になった時点から所定時間T11が経過した時点で、共振電流i=0になるということが言える。

【0073】このように、第3実施形態によれば、トランジスタQ1のオン時点から所定時間T11が経過した時点の共振電流iの瞬時値を閾値とし、共振電流iが閾値以下になった時点から所定時間T12(>T11)の経過後にトランジスタQ1をオンからオフに切り替えるようにしているので、確実にゼロ電流スイ

ッチングを行うことができ、スイッチング損失の増大を未然に防止することができる。

【0074】特に、共振電流*i*の大きさや波形が変化すると、所定時間T11が経過した時点の瞬時値が変化するため、閾値は共振電流*i*の変化に応じて変化することになるが、その変化した閾値から*i*=0になる時点までに要する時間は殆ど変化しないので、動作環境の変化や経年劣化などにより共振電流*i*=0になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0075】(第4実施形態)図9は本発明に係るDC-DCコンバータ回路の第4実施形態を示す回路ブロック図、図10は共振電流*i*の波形図およびトランジスタQ1のオンオフを示すタイミングチャートである。なお、図3と同一物には同一符号を付す。

【0076】図9において、制御回路30は、トランジスタQ1のオン時点から計時のためにクロック同期信号を遅延回路41に送出するものである。保持回路42は、電流検出回路10により検出される共振電流*i*のピーク値を保持するもので、分圧回路43は、保持回路42で保持されているピーク値の所定比(<1)を閾値として比較回路44に送出するものである。

【0077】比較回路44は、電流検出回路10により検出される共振電流*i*と分圧回路43から送られる閾値とを比較して、共振電流*i*が低下して閾値以下になると、その旨の検出信号を遅延回路41に送出するものである。

【0078】遅延回路41は、制御回路30から送られてくるクロック同期信号に基づき比較回路44による検出信号の送出時点からの経過時間をカウントし、所定時間T21が経過した時点でオフ信号Soffを駆動回路2に送出するものである。

【0079】この構成により、図10に示すように、共振電流*i*(図中、太実線)のピーク値ip(図中、細実線)が保持され、このピーク値ipの所定比(<1)が閾値ith(図中、細実線)とされ、共振電流*i*が低下して*i*≤ithになった時点から所定時間T21が経過すると、トランジスタQ1がオフにされる。

【0080】なお、保持回路42は、例えばコンデンサで構成され、図10に示すようにピーク値ipは漸減しているので、保持回路42が保持するピーク値を1周期ごとにリセットする必要はない。

【0081】図11は、第4実施形態の、より具体的な回路構成例を示す回路ブロック図、図12は図11の各部■～■の信号を示すタイミングチャートである。なお、図11ではコンバータ回路部1の図示を省略し、図9R>9と同一物には同一符号を付している。

【0082】電圧周波数変換(V/F)回路51は、出力電圧Voと設定値との電圧差V1に基づきスイッチング周波数を設定するものである。制御回路300は、このスイッチング周波数で決まるタイミングで、オン信号Sonを駆動回路2に送出するものである(図12の■)。

【0083】オン信号SonによりトランジスタQ1がオンになると、共振電流*i*が、比較回路52に取り込まれるとともに(図12の■)、抵抗R41, R42の直列回路にコンデンサC41が並列に接続されてなる回路に入力される。抵抗R41, R42の接続点は比較回路52に接続されており、共振電流*i*によりコンデンサC41が充電されるとともに、その充電電圧の抵抗R41, R42による分圧値が閾値として比較回路52に入力される(図12の■)。

【0084】ここで、図12の■, ■に示すip, ithの関係は、抵抗R41, R42の抵抗値をR₄₁, R₄₂とすると、 $ith = ip \cdot R_{42} / (R_{41} + R_{42})$ と表わされる。コンデンサC41は保持回路42を構成し、抵抗R41, R42は分圧回路43を構成している。

【0085】比較回路52は、変化する共振電流*i*と閾値ithとを比較し、*i*≥ithの間、オン(ハイレベル)信号を出力する(図12の■)。

【0086】第5遅延回路53は、比較回路52からの出力信号を所定時間T21だけ遅延して出力する(図12R>2の■)。この第5遅延回路53からの出力信号は、第6遅延回路54により所定時間T22だけ遅延されるとともに(図12の■)、インバータゲート回路55により反転される(図12の■)。

【0087】アンドゲート回路56は、これらの信号の論理積を合成してパルス信号を生成し(図12の■)、制御回路300に出力する。

【0088】制御回路300は、アンドゲート回路56からパルス信号が入力されると、駆動回路2にオフ信号Soffを出力し、これによってトランジスタQ1はオフになる(図12の■)。

【0089】従って、図12に示すように、オフ信号Soffは、■の立ち下がり時点に同期して出力されるが、この時点は、■の立ち下がり時点から所定時間T21後、すなわち*i*≤ithになった時点から所定時間T21後になる。ここで、T21はオフ信号Soffが*i*<0の間に输出されるように設定されているので、確実にゼロ電流スイッチングが行われる。

【0090】このように、第4実施形態によれば、共振電流*i*のピーク値*i_p*の所定比*i_{th}*を閾値とし、共振電流*i*が閾値以下になった時点から所定時間T21の経過後にトランジスタQ1をオンからオフに切り替えるようにしているので、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を未然に防止することができる。

【0091】また、動作環境の変化や経年劣化などにより、共振電流*i*の大きさや波形が変化すると、その変化に応じて閾値*i_{th}*が変化することになるので、動作環境などの変化により*i=0*になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0092】(第5実施形態)図13は本発明に係るDC-DCコンバータ回路の第5実施形態を示す回路ブロック図、図14は共振電流*i*の波形図およびトランジスタQ1のオンオフを示すタイミングチャートである。なお、図1、図3と同一物には同一符号を付す。

【0093】図13において、共振用コンデンサC1に直列に接続された電流検出回路60は、例えばカレントトランスからなり、共振用コンデンサC1に流れる容量電流*i_c*を検出するもので、容量電流*i_c*に比例する検出値を後述する比較回路64に送出する。

【0094】比較回路61は、電流検出回路10により検出される共振電流*i*と電流検出回路9により検出される出力電流*i_o*とを比較して、共振電流*i*が増大して*i≥i_o*になると、その旨の検出信号を遅延回路13に送出するものである。

【0095】制御回路30は、出力電圧*V_o*と設定値生成回路14で生成される設定値とを比較して、出力電圧*V_o*が一定値に維持されるようなスイッチング周波数で駆動回路2にオン信号*S_{on}*を送出するものである。また、制御回路30は、クロック同期信号を計時回路62に送出する。

【0096】計時回路62は、制御回路30から送られてくるクロック同期信号に基づき、トランジスタQ1のオン時点から、比較回路61による検出信号の出力時点までの経過時間T31をカウントし、その時間T31を遅延回路63に送出するものである。

【0097】比較回路64は、電流検出回路60により検出される容量電流*i_c*と閾値生成回路65で生成される閾値(本実施形態ではゼロ、すなわちアースレベル)とを比較して、一旦増大した容量電流*i_c*が低下して閾値に一致すると、その旨の検出信号を遅延回路63に送出するものである。

【0098】遅延回路63は、比較回路64による検出信号の出力時点からの経過時間をカウントし、計時回路62から送出されている時間T31に一致すると、駆動回路2にオフ信号*S_{off}*を出力する。

【0099】駆動回路2は、制御回路30からオン信号*S_{on}*が入力されるとトランジスタQ1をオンにし、遅延回路63からオフ信号*S_{off}*が入力されるとトランジスタQ1をオフに切り替える。

【0100】この構成により、図14に示すように、トランジスタQ1のオン時点から共振電流*i*が*i=i_o*になるまでの時間T31がカウントされるとともに、容量電流*i_c*が検出される。そして、容量電流*i_c*がゼロになった時点から時間T31が経過すると、トランジスタQ1がオフに切り替えられる。

【0101】このように、第5実施形態によれば、トランジスタQ1のオン時点から共振電流*i*が出力電流*i_o*に一致する時点までの時間T31をカウントし、共振用コンデンサC1に流れる容量電流*i_c*を検出し、容量電流*i_c*がゼロになった時点から時間T31の経過後にトランジスタQ1をオフに切り替えるようしているので、動作環境の変化や経年劣化により、共振用リクトルL1や共振用コンデンサC1の各値*L_r*, *C_r*が変化し、共振電流*i*の波形や大きさが変化して*i=0*になる位置が変化した場合でも、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を未然に防止することができる。

【0102】特に、出力電流*i_o*が異常に増大した場合でも、共振用コンデンサC1に流れる容量電流*i_c*は確実にゼロになるため、容量電流*i_c*がゼロになった時点を起算時点として、より確実にゼロ電流スイッチングを行うことができる。

【0103】(第6実施形態)図15は本発明に係るDC-DCコンバータ回路の第6実施形態を示す回路ブロック図、図16は図15の各部■～■の信号を示すタイミングチャートである。なお、図15ではコンバータ回路部1の図示を省略している。

【0104】電圧周波数変換(V/F)回路71は、出力電圧*V_o*と設定値との電圧差*V₁*に基づきスイッチング周波数を設定するものである。制御回路300は、このスイッチング周波数で決まるタイミングで、オン信号*S_{on}*を駆動回路2に送出するもので、このオン信号*S_{on}*によってトランジスタQ1がオンにされる(図16の■)。

【0105】オン信号*S_{on}*によりトランジスタQ1がオンになると、共振電流*i*および出力電流*i_o*が比較回

路72に入力される(図16の■, ■)。

【0106】比較回路72は、共振電流*i*と出力電流*I_o*とを比較し、*i*≥*I_o*のときにオン(ハイレベル)信号を出力する(図16の■)。

【0107】第7遅延回路73は、比較回路72からの出力信号を所定時間T41だけ遅延して出力する(図16R>6の■)。この第7遅延回路73からの出力信号は、第8遅延回路74により所定時間T42だけ遅延されるとともに(図16の■)、インバータゲート回路75により反転される(図16の■)。

【0108】アンドゲート回路76は、これらの信号の論理積を合成してパルス信号を生成し(図16の■)、制御回路300に出力する。

【0109】制御回路300は、アンドゲート回路76からパルス信号が入力されると、駆動回路2にオフ信号S_{off}を出力し、これによってトランジスタQ1はオフになる(図16の■)。

【0110】従って、図16に示すように、オフ信号S_{off}は、■の立ち下がり時点に同期して出力されるが、この時点は、■の立ち下がり時点から所定時間T41後、すなわち*i*≤*I_o*になった時点から所定時間T41後になる。

【0111】ここで、T41はオフ信号S_{off}が*i*<0の間にに出力されるように設定されている。すなわち、図16に示すように、*i*≤*I_o*になった時点から*i*=0になる時点までの経過時間をT43とすると、T41>T43(本実施形態では、例えばT41=T_n/4、T_nは共振電流*i*の周期)に設定されている。これによって、確実にゼロ電流スイッチングが行われることとなる。

【0112】このように、第6実施形態によれば、共振電流*i*が出力電流*I_o*以下になった時点から所定時間T41の経過後にトランジスタQ1をオンからオフに切り替えるようにしているので、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を未然に防止することができる。

【0113】また、動作環境の変化や経年劣化などにより、共振電流*i*の大きさや波形が変化して出力電流*I_o*が変化すると、その変化に応じて閾値が変化することになるので、動作環境などの変化により*i*=0になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0114】なお、上記各実施形態では、コンバータ回路部1として、全波形ゼロ電流スイッチング方式の降圧形コンバータを用いて説明しているが、これに限られず、例えば半波形ゼロ電流スイッチング方式や昇圧形コンバータなどを含む一般のゼロ電流スイッチング方式コンバータに適用することができる。

【0115】そこで、以下に、全波形ゼロ電流スイッチング方式の昇圧形コンバータの具体的な形態例について、第7～第10実施形態として説明する。

【0116】(第7実施形態)図17は本発明に係るDC-DCコンバータ回路の第7実施形態を示す回路ブロック図である。この回路は、コンバータ回路部101と、駆動回路102と、制御回路103とを備えている。

【0117】コンバータ回路部101は、入力端子104、105間に印加される直流入力電圧V_iより高い直流出力電圧V_oを生成して出力端子106、107間に接続される負荷108に印加するもので、公知の全波形ゼロ電流スイッチング方式の昇圧形コンバータを構成している。

【0118】すなわち、このコンバータ回路部101は、入力電圧V_iをショッピングするトランジスタ(スイッチング手段)Q11と、このトランジスタQ11と逆並列に接続され、電流を逆方向に流すためのダイオードD11と、トランジスタQ11に直列に接続された共振用リアクトルL11と、共振用コンデンサC11と、トランジスタQ11がオンのときにエネルギーを蓄積するためのリアクトルL12と、出力電圧V_oを平滑するためのコンデンサC12と、出力側から入力側への電流の逆流を阻止するためのダイオードD12とから構成されている。

【0119】入力端子104とリアクトルL12との間に介設された電流検出回路109は、例えばホール素子または低抵抗からなり、入力電流I_{in}を検出するもので、入力電流I_{in}に比例する検出値を制御回路103に送出する。

【0120】駆動回路102は、制御回路103からの制御信号に従ってトランジスタQ11をオンオフさせるものである。

【0121】制御回路103は、CPU、メモリやA/D変換器などからなり、駆動回路102にパルス信号からなる制御信号を送出してトランジスタQ11のオンオフを制御するもので、以下の機能■～■を有する。

【0122】■入力電圧V_i、入力電流I_{in}、出力電圧V_oを検出する機能。

【0123】■トランジスタQ11をオンにした後、 $i < 0$ 、すなわち共振電流*i*が反転してダイオードD11に流れている間に、トランジスタQ11をオンからオフに切り替えるゼロ電流スイッチングを行う機能。トランジスタQ11をオンからオフに切り替えるタイミングについては後述する。

【0124】■検出した出力電圧 V_o が予め設定された値に一致するように、トランジスタQ11のスイッチング周波数を制御する機能。

【0125】次に、図17、図18を用いて、制御回路103によるトランジスタQ11のオンからオフへの切替タイミングについて説明する。図18(a)(b)(c)は共振用リアクトルL11に流れる共振電流*i*の電流波形図である。

【0126】共振用リアクトルL11に流れる共振電流*i*として、図18(a)に示すような波形の電流*i*が流れると表わされる。ここで、 ω は共振用リアクトルL11および共振用コンデンサC11からなる共振回路の共振角周波数、 I_q は共振電流*i*の交流成分の振幅である。

【0127】この共振角周波数 ω は、 $1/\omega = \sqrt{(L_r \cdot C_r)}$ … (12)
と表わされる。但し、共振用リアクトルL11のインダクタンスを L_r 、共振用コンデンサC11のキャパシタンスを C_r とする。

【0128】図18(a)において、 T_o は $i \geq 0$ の時間、 T_{51} は $i = 0$ から $i = I_{in}$ になるまでの時間、 T_n は共振電流*i*の周期である。ここで、同図より、 $I_q \cdot \sin(\omega T_{51}) = I_{in}$ … (13)

であるので、 $T_{51} = \sin^{-1}(I_{in}/I_q) / \omega$ … (14)

が得られる。また、 $I_q = V_o / Z_n$ … (15)

である。ここで、 Z_n は特性インピーダンスで、 $Z_n = \sqrt{(L_r / C_r)}$ … (16)

と表わされる。従って、上記式(14)は、 $T_{51} = \sin^{-1}(I_{in} \cdot Z_n / V_o) / \omega$ … (17)

と表わせる。

【0129】また、図18(a)から分かるように、 $T_o = T_n / 2 + 2 \cdot T_{51}$ … (18)

が成立する。

【0130】ここで、 $I_{in} = 0$ のときは、図18(b)に示すように、 $T_{51} = 0$ で、 $T_o = T_n / 2$ となる。また、 $I_{in} = I_q$ のときは、図18(c)に示すように、 $T_o = T_n$ になる。

【0131】従って、上記式(18)より、 $I_{in} = 0$ のときは $T_{51} = 0$ で、 $I_{in} = I_q$ のときは $T_{51} = T_n / 4$ になる。すなわち、 I_{in} が0から I_q に変化すると、 T_{51} は0から $T_n / 4$ に変化する。この T_{51} の変化を直線変化、すなわち I_{in} の1次関数で近似すると、上記式(17)より、 $T_{51} = (I_{in} \cdot Z_n / V_o) \cdot T_n / 4$ … (19)
が得られる。この式(19)を上記式(18)に代入すると、 $T_o = T_n \cdot (1 + I_{in} \cdot Z_n / V_o) / 2$ … (20)
が得られる。

【0132】コンバータ回路部101において、共振用リアクトルL11のインダクタンス L_r および共振用コンデンサC11のキャパシタンス C_r は既知であり、各値 L_r 、 C_r が決まると、周期 T_n および特性インピーダンス Z_n が決まる。そこで、制御回路103のメモリに、周期 T_n および特性インピーダンス Z_n の各値を予め格納しておく。

【0133】そして、制御回路103は、メモリに格納されている各値 T_n 、 Z_n と、検出した出力電圧 V_o および入力電流 I_{in} とを用いて、上記式(20)に従って、時間 T_o を算出し、トランジスタQ11のオン時点から時間 T_o が経過した時点で、トランジスタQ11をオンからオフに切り替える。

【0134】なお、上記時間 T_o の算出は、所定時間(例えば数 msec)ごとに行うようにすればよい。

【0135】このように、第7実施形態によれば、出力電圧 V_o および入力電流 I_{in} を検出し、上記式(20)に従って時間 T_o を算出し、トランジスタQ11のオン時点から時間 T_o が経過した時点でトランジスタQ11をオンからオフに切り替えるようにしているので、コンバータ回路部101の回路構成が決まると共振回路のインダクタンス L_r およびキャパシタンス C_r が一定値に決まることから、動作環境の変化などにより、出力電圧 V_o および入力電流 I_{in} が変化することによって $i = 0$ になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0136】(第8実施形態)図19は本発明に係るDC-DCコンバータ回路の第8実施形態を示す回路ブロック図、図20は共振電流*i*の波形図およびトランジスタQ11のオンオフを示すタイミングチャートである。なお、図17と同一物には同一符号を付している。

【0137】図19において、共振用リアクトルL11に直列に接続された電流検出回路110は、例えばカレントトランジスタからなり、共振用リアクトルL11に流れる共振電流*i*を検出するもので、共振電流*i*に比

例する検出値を比較回路111に送出する。

【0138】比較回路111は、電流検出回路110により検出される共振電流*i*と、電流閾値生成回路112で生成される閾値I31($I31 > 0$)とを比較して、共振電流*i*が低下して $i \leq I31$ になると、その旨の検出信号を遅延回路113に送出するものである。

【0139】制御回路130は、出力電圧 V_o と設定値生成回路114で生成される設定値とを比較して、出力電圧 V_o が一定値に維持されるようなスイッチング周波数で駆動回路102にオン信号 S_{on} を送出するものである。また、制御回路130は、クロック同期信号を遅延回路113に送出する。

【0140】遅延回路113は、制御回路130から送られてくるクロック同期信号に基づき、比較回路111による検出信号の出力時点からの経過時間をカウントし、所定時間T61が経過すると、駆動回路102にオフ信号 S_{off} を送出するものである。

【0141】この所定時間T61は、共振電流*i*が所定値I31以下になった時点から確実に $i < 0$ になるまでの時間に予め設定されている。

【0142】駆動回路102は、制御回路130からオン信号 S_{on} が入力されるとトランジスタQ11をオンにし、遅延回路113からオフ信号 S_{off} が入力されるとトランジスタQ11をオンからオフに切り替える。

【0143】このような構成により、図20に示すように、共振電流*i*が低下して $i \leq I31$ になった時点から所定時間T61が経過すると、トランジスタQ11がオフにされる。

【0144】図21は、第8実施形態の、より具体的な回路構成例を示す回路ブロック図、図22は図21の各部■～■の信号を示すタイミングチャートである。なお、図21ではコンバータ回路部101の図示を省略し、図19と同一物には同一符号を付している。

【0145】図21において、電圧周波数変換(V/F)回路131は、出力電圧 V_o と設定値との電圧差 V_2 に基づきスイッチング周波数を設定するもので、このスイッチング周波数で決まるタイミング信号を合成回路132に送出する(図22の■)。合成回路132は、このタイミング信号に基づき、オン信号 S_{on} を駆動回路102に送出するものである(図22の■)。

【0146】オン信号 S_{on} によりトランジスタQ11がオンになると、共振電流*i*が比較回路111に取り込まれる(図22の■)。一方、電流閾値生成回路112で生成される閾値I31が比較回路111に取り込まれる(図22の■)。

【0147】そして、比較回路111は、変化する共振電流*i*と閾値I31とを比較し、 $i \geq I31$ の間、オン(ハイレベル)信号を出力する(図22の■)。遅延回路133は、比較回路111からの出力信号を所定時間T61だけ遅延して出力する(図22の■)。この遅延回路133からの出力信号は、遅延回路134によりさらに所定時間T62だけ遅延されるとともに(図22の■)、インバータゲート回路135により反転される(図22の■)。

【0148】アンドゲート回路136は、これらの信号の論理積を合成してパルス信号を生成し(図22の■)、合成回路132に送出する。

【0149】合成回路132は、アンドゲート回路136からパルス信号が入力されると、駆動回路102にオフ信号 S_{off} を送出する(図22の■)。

【0150】本実施形態では、閾値I31は、例えば負荷108(図19)に流れる負荷電流としている。

【0151】また、図22に示すように、共振電流*i*がピーク値から低下して $i \leq I31$ になった時点から $i = 0$ になるまでの時間をT60とすると、 $T61 > T60$ に設定されており、本実施形態では、例えば $T61 = T_n / 4$ に設定され、これによって、確実にゼロ電流スイッチングが行われることとなる。

【0152】このように、第8実施形態によれば、共振用アクトルL1に流れる共振電流*i*が $i \leq I31$ になった時点から確実に $i < 0$ になるまでの所定時間T61を予め設定しておき、共振電流*i*(瞬時値)を検出し、共振電流*i*が $i \leq I31$ になった時点から所定時間T61の経過後にトランジスタQ11をオンからオフに切り替えるようにしているので、動作環境の変化や経年劣化により、共振用アクトルL1や共振用コンデンサC1の各値 L_r , C_r が変化することによって、共振電流*i*=0になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。従って、スイッチング損失の増大を未然に防止することができる。

【0153】(第9実施形態)図23は本発明に係るDC-DCコンバータ回路の第9実施形態を示す回路ブロック図、図24は共振電流*i*の波形図およびトランジスタQ11のオンオフを示すタイミングチャートである。なお、図17と同一物には同一符号を付す。

【0154】図23において、制御回路140は、トランジスタQ11のオン時点から計時そのためのクロック同

期信号を遅延回路141, 142に送出するものである。遅延回路141は、電流検出回路110により検出される共振電流*i*を取り込むとともに、制御回路140から送られてくるクロック同期信号に基づきトランジスタQ11のオン時点からの経過時間をカウントし、所定時間T71が経過した時点での共振電流*i*を保持回路143に送出するものである。

【0155】保持回路143は、遅延回路141から送られてくる共振電流*i*を閾値I32として保持して比較回路144に送出するものである。比較回路144は、電流検出回路110により検出される共振電流*i*を取り込み、共振電流*i*と保持回路143から送られる閾値I32とを比較して、共振電流*i*が低下して*i*≤I32になると、その旨の検出信号を遅延回路142に送出するものである。

【0156】遅延回路142は、制御回路140から送られてくるクロック同期信号に基づき比較回路144による検出信号の送出時点からの経過時間をカウントし、所定時間T72(>T71)が経過した時点でオフ信号Soffを駆動回路102に送出するものである。また、遅延回路142は、オフ信号Soffの出力後に、保持回路143で保持されている閾値I32をリセットする。

【0157】この構成により、図24に示すように、トランジスタQ11のオン時点から所定時間T71が経過した時点での共振電流*i*が閾値I32とされ、共振電流*i*が低下して*i*≤I32になった時点から所定時間T72(>T71)が経過すると、トランジスタQ11がオンからオフに切り替えられる。

【0158】図25は、第9実施形態の、より具体的な回路構成例を示す回路ブロック図、図26は図25の各部■～■、■'の信号を示すタイミングチャートである。なお、図25ではコンバータ回路部101の図示を省略し、図23と同一物には同一符号を付している。

【0159】図25において、スイッチ151, 152は、例えばトランジスタからなるもので、スイッチ151は通常オン状態で、スイッチ152は通常オフ状態になっている。

【0160】電圧周波数変換(V/F)回路153は、出力電圧Voと設定値との電圧差V2に基づきスイッチング周波数を設定するもので、このスイッチング周波数で決まるタイミング信号を合成回路154に送出する(図26の■)。

【0161】合成回路154は、このタイミング信号に基づき、オン信号Sonを駆動回路102に送出するものである(図26の■')。また、合成回路154は、オン信号Sonを送出した時点から計時のためのクロック同期信号を遅延回路155に送出する。

【0162】オン信号SonによりトランジスタQ11がオンになると、共振電流*i*が比較回路144に取り込まれる(図26の■)。遅延回路155は、トランジスタQ11のオン時点から経過時間をカウントし、所定時間T71が経過すると、スイッチ151をオフにし、比較回路144は、スイッチ151がオフにされた時点の共振電流*i*の瞬時値を閾値I41として保持する(図26の■)。そして、比較回路144は、変化する共振電流*i*と閾値I41とを比較し、*i*≥I41の間だけ、オン(ハイレベル)信号を出力する(図26の■)。

【0163】遅延回路156は、比較回路144からの出力信号を所定時間T72だけ遅延して出力する(図26R6の■)。なお、T72>T71に設定されている。

【0164】この遅延回路156からの出力信号は、遅延回路157によりさらに所定時間T73だけ遅延されるとともに(図26の■)、インバータゲート回路158により反転される(図26の■)。

【0165】アンドゲート回路159は、これらの信号の論理積を合成してパルス信号を生成し(図26の■)、合成回路154および遅延回路160に送出する。

【0166】合成回路154は、アンドゲート回路159からパルス信号が入力されると、駆動回路102にオフ信号Soffを送出する(図26の■')。遅延回路160は、アンドゲート回路159から入力されるパルス信号を所定時間T74だけ遅延してスイッチ152に出力し(図26の■)、このパルス信号によりスイッチ152がオンにされて、比較回路144に保持されていた閾値I41がリセットされる。

【0167】従って、図26に示すように、オフ信号Soffは、■の立ち下がり時点に同期して出力されるが、この時点は、■の立ち下がり時点(*i*≤I41になった時点)から所定時間T72後になる。ここで、T72は、T72>T71であって、オフ信号Soffが*i*<0の間に出力されるような値に設定されているので、確実にゼロ電流スイッチングが行われることとなる。

【0168】また、共振電流*i*の1周期ごとに、比較回路144に保持されている閾値がリセットされる。従って、図26の■, ■において、例えば左側の共振電流*i*より右側の共振電流*i*が増大している場合には、スイッチ151がオフにされた時点の共振電流*i*の各瞬時値I41, I42はI41<I42となり、左側の共振電流*i*より右側の共振電流*i*における閾値のレベルが増大することとなる。

【0169】ここで、左側の共振電流*i*の波形において、トランジスタQ11のオン時点から瞬時値I41にな

るまでの時間と、瞬時値I41からi=0になるまでの時間とは、ほぼ同一の値になる。また、右側の共振電流iの波形において、トランジスタQ1のオン時点から瞬時値I42になるまでの時間と、瞬時値I42からi=0になるまでの時間とは、やはり、ほぼ同一の値になる。

【0170】従って、トランジスタQ11のオン時点から所定時間T71が経過した時点での共振電流iの瞬時値を閾値とすることで、閾値のレベルに関係なく、共振電流iが閾値以下になった時点から所定時間T71が経過した時点で、共振電流i=0になるということが言える。

【0171】このように、第9実施形態によれば、トランジスタQ11のオン時点から所定時間T71が経過した時点の共振電流iの瞬時値を閾値とし、共振電流iが閾値以下になった時点から所定時間T72(>T71)の経過後にトランジスタQ11をオンからオフに切り替えるようにしているので、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を未然に防止することができる。

【0172】特に、共振電流iの大きさや波形が変化すると、所定時間T71が経過した時点の瞬時値が変化するため、閾値は共振電流iの変化に応じて変化することになるが、その変化した閾値からi=0になる時点までに要する時間は殆ど変化しないので、動作環境の変化や経年劣化などにより共振電流i=0になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0173】(第10実施形態)図27は本発明に係るDC-DCコンバータ回路の第10実施形態を示す回路ブロック図、図28は共振電流iの波形図およびトランジスタQ11のオンオフを示すタイミングチャートである。なお、図17と同一物には同一符号を付す。

【0174】図27において、制御回路170は、トランジスタQ11のオン時点から計時のためにクロック同期信号を遅延回路171に送出するものである。保持回路172は、電流検出回路110により検出される共振電流iのピーク値を保持するもので、分圧回路173は、保持回路172で保持されているピーク値の所定比(<1)を閾値として比較回路174に送出するものである。

【0175】比較回路174は、電流検出回路110により検出される共振電流iと分圧回路173から送られる閾値とを比較して、共振電流iが低下して閾値以下になると、その旨の検出信号を遅延回路171に送出するものである。

【0176】遅延回路171は、制御回路170から送られてくるクロック同期信号に基づき比較回路174による検出信号の送出時点からの経過時間をカウントし、所定時間T81が経過した時点でオフ信号Soffを駆動回路102に送出するものである。

【0177】この構成により、図28に示すように、共振電流i(図中、太実線)のピーク値ip(図中、細実線)が保持され、このピーク値ipの所定比(<1)が閾値ith(図中、細実線)とされ、共振電流iが低下してi≤ithになった時点から所定時間T81が経過すると、トランジスタQ11がオフにされる。

【0178】なお、保持回路172は、例えばコンデンサで構成され、図28に示すようにピーク値ipは漸減しているので、保持回路172が保持するピーク値を1周期ごとにリセットする必要はない。

【0179】図29は、第10実施形態の、より具体的な回路構成例を示す回路ブロック図、図30は図29の各部■～■の信号を示すタイミングチャートである。なお、図29ではコンバータ回路部101の図示を省略し、図27と同一物には同一符号を付している。

【0180】電圧周波数変換(V/F)回路181は、出力電圧Voと設定値との電圧差V2に基づきスイッチング周波数を設定するもので、このスイッチング周波数で決まるタイミング信号を合成回路182に送出する(図30の■)。合成回路182は、このタイミング信号に基づき、オン信号Sonを駆動回路102に送出するものである(図30の■)。

【0181】オン信号SonによりトランジスタQ11がオンになると、共振電流iが、比較回路174に取り込まれるとともに(図30の■)、抵抗R51, R52からなる分圧回路173とコンデンサC51からなる保持回路172とが並列に接続されてなる回路に入力される。抵抗R51, R52の接続点は比較回路174に接続されており、共振電流iによりコンデンサC51が充電されるとともに、その充電電圧の抵抗R51, R52による分圧値が閾値として比較回路174に入力される(図30の■)。

【0182】ここで、図30の■、■に示すip, ithの関係は、抵抗R51, R52の抵抗値をR₅₁, R₅₂とするとき、 $ith = ip \cdot R_{52} / (R_{51} + R_{52})$ と表わされる。

【0183】比較回路174は、変化する共振電流iと閾値ithとを比較し、i≥ithの間、オン(ハイレベル)信号を出力する(図30の■)。

【0184】遅延回路183は、比較回路174からの出力信号を所定時間T81だけ遅延して出力する(図30R>0の■)。この遅延回路183からの出力信号は、遅延回路184により所定時間T82だけ遅

延されるとともに(図30の■)、インバータゲート回路185により反転される(図30の■)。

【0185】アンドゲート回路186は、これらの信号の論理積を合成してパルス信号を生成し(図30の■)、合成回路182に出力する。

【0186】合成回路182は、アンドゲート回路186からパルス信号が入力されると、駆動回路102にオフ信号Soffを出力し、これによってトランジスタQ11はオフになる(図30の■)。

【0187】従って、図30に示すように、オフ信号Soffは、■の立ち下がり時点に同期して出力されるが、この時点は、■の立ち下がり時点から所定時間T81後、すなわち*i*≤*ith*になった時点から所定時間T81後になる。ここで、T81はオフ信号Soffが*i*<0の間にに出力されるように設定されているので、確実にゼロ電流スイッチングが行われる。

【0188】このように、第10実施形態によれば、共振電流*i*のピーク値*ip*の所定比*ith*を閾値とし、共振電流*i*が閾値*ith*以下になった時点から所定時間T81の経過後にトランジスタQ11をオンからオフに切り替えるようにしているので、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を未然に防止することができる。

【0189】また、動作環境の変化や経年劣化などにより、共振電流*i*の大きさや波形が変化すると、その変化に応じて閾値*ith*が変化することになるので、動作環境などの変化により*i*=0になるタイミングが変化した場合でも、確実にゼロ電流スイッチングを行うことができる。

【0190】なお、上記第7～第10実施形態では、コンバータ回路部101として全波形ゼロ電流スイッチング方式の昇圧形コンバータを用いて説明しているが、半波形ゼロ電流スイッチング方式の昇圧形コンバータにも適用できることはいうまでもない。

【0191】

【発明の効果】以上説明したように、本発明によれば、回路の電気信号を検出し、この検出された電気信号に基づきスイッチング手段のオフタイミングを制御することで、スイッチング手段に電流が流れていないとときに当該スイッチング手段をオンからオフに切り替えるようにしているので、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を防止することができる。

【0192】また、降圧形コンバータ回路であって、入力電圧および出力電流に基づきスイッチング手段に共振電流が流れている時間を算出し、スイッチング手段のオン時点から当該算出された時間が経過するとスイッチング手段がオンからオフに切り替えるようにすると、入力電圧または出力電流の変化によりスイッチング手段に共振電流が流れている時間が変化した場合でも、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を防止することができる。

【0193】また、上記駆動制御手段は、上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期が予め格納された記憶手段を備え、下記式に基づき上記時間を算出するものであるとすることにより、スイッチング手段に共振電流が流れている時間の算出を精度良く、かつ容易に行うことができる。

$T_o = T_n \cdot (1 + Z_n \cdot I_o / V_i) / 2Z_n = \sqrt{(L_r / C_r)}$ ここで、 T_o : 算出される時間 T_n : 共振用リアクトルに流れる共振電流の周期 Z_n : 共振回路の特性インピーダンス I_o : 出力電流 V_i : 入力電圧 L_r : 共振用リアクトルのインダクタンス C_r : 共振用コンデンサのキャパシタンスである。

【0194】また、上記検出手段は、上記電気信号として上記共振用リアクトルに流れる共振電流を検出するもので、上記駆動制御手段は、検出された上記共振電流を用いて上記スイッチング手段に共振電流が流れなくなる時点を求め、当該求めた時点になると、上記スイッチング手段をオンからオフに切り替えるようにすると、動作環境の変化や経時劣化などにより共振回路を構成するリアクトルやコンデンサのパラメータが変化して、共振電流のピーク値や波形が変化し、そのためスイッチング手段に共振電流が流れている時間が変化した場合でも、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を防止することができる。

【0195】また、上記駆動制御手段は、上記共振電流が低下して所定値以下になった時点から所定時間後に上記スイッチング手段をオンからオフに切り替えるようにすると、動作環境などの変化により共振電流が変化した場合でも、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を防止することができる。

【0196】この場合において、上記所定値は、予め設定された一定の値であるとすると、簡易な構成で回路を実現することができる。一方、上記所定値が、上記スイッチング手段のオン時点から所定時間後における上記共振電流の電流値であるとしたり、上記共振電流のピーク値に応じて設定されるもの

であるとすると、所定値が一定の値でなく共振電流の変化を反映した値になるので、動作環境などの変化に対して、より確実にゼロ電流スイッチングを行うことができる。

【0197】また、上記検出手段は、上記電気信号として、さらに出力電流および上記共振用コンデンサに流れる容量電流を検出するもので、上記駆動制御手段は、上記スイッチング手段のオン時点から上記共振電流が上記出力電流以上になる時点までの経過時間をカウントし、上記容量電流が所定値以下になった時点から上記経過時間後に上記スイッチング手段をオンからオフに切り替えるものであるとすることにより、出力電流が異常に増大した場合でも、共振によって生じる容量電流は確実に所定値以下に戻るので、容量電流が所定値以下になった時点を起算時点とすることで、より確実にゼロ電流スイッチングを行うことができる。

【0198】また、上記検出手段は、上記電気信号として、さらに出力電流を検出するもので、上記駆動制御手段は、上記スイッチング手段のオン時点から上記共振電流が上記出力電流以上になる時点までの経過時間をカウントし、上記共振電流が低下して上記出力電流以下になった時点から上記経過時間後に上記スイッチング手段をオンからオフに切り替えるものであるとすると、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を防止することができる。

【0199】また、昇圧形コンバータ回路であって、出力電圧および入力電流に基づきスイッチング手段に共振電流が流れている時間を算出し、スイッチング手段のオン時点から当該算出された時間が経過するとスイッチング手段がオンからオフに切り替えるようにすると、出力電圧または入力電流の変化によりスイッチング手段に共振電流が流れている時間が変化した場合でも、確実にゼロ電流スイッチングを行うことができ、スイッチング損失の増大を防止することができる。

【0200】また、上記駆動制御手段は、上記共振用リアクトルのインダクタンス、上記共振用コンデンサのキャパシタンスおよび上記共振用リアクトルに流れる共振電流の周期が予め格納された記憶手段を備え、下記式に基づき上記時間を算出するものであるとすることにより、スイッチング手段に共振電流が流れている時間の算出を精度良く、かつ容易に行うことができる。

$T_o = T_n \cdot (1 + Z_n \cdot I_n / V_o) / 2Z_n = \sqrt{(L_r / C_r)}$ ここで、 T_o : 算出される時間 T_n : 共振用リアクトルに流れる共振電流の周期 Z_n : 共振回路の特性インピーダンス I_n : 入力電流 V_o : 出力電圧 L_r : 共振用リアクトルのインダクタンス C_r : 共振用コンデンサのキャパシタンスである。

図の説明

【図面の簡単な説明】

【図1】本発明に係るDC-DCコンバータ回路の第1実施形態を示す回路ブロック図である。

【図2】(a)(b)(c)は共振用リアクトルに流れる共振電流の電流波形図である。

【図3】本発明に係るDC-DCコンバータ回路の第2実施形態を示す回路ブロック図である。

【図4】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図5】本発明に係るDC-DCコンバータ回路の第3実施形態を示す回路ブロック図である。

【図6】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図7】第3実施形態の、より具体的な回路構成例を示す回路ブロック図である。

【図8】図7の各部■～■の信号を示すタイミングチャートである。

【図9】本発明に係るDC-DCコンバータ回路の第4実施形態を示す回路ブロック図である。

【図10】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図11】第4実施形態の、より具体的な回路構成例を示す回路ブロック図である。

【図12】図11の各部■～■の信号を示すタイミングチャートである。

【図13】本発明に係るDC-DCコンバータ回路の第5実施形態を示す回路ブロック図である。

【図14】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図15】本発明に係るDC-DCコンバータ回路の第6実施形態を示す回路ブロック図である。

【図16】図15の各部■～■の信号を示すタイミングチャートである。

【図17】本発明に係るDC-DCコンバータ回路の第7実施形態を示す回路ブロック図である。

【図18】(a)(b)(c)は共振用リアクトルに流れる共振電流の電流波形図である。

【図19】本発明に係るDC-DCコンバータ回路の第8実施形態を示す回路ブロック図である。

【図20】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図21】第8実施形態の、より具体的な回路構成例を示す回路ブロック図である。

【図22】図21の各部■～■の信号を示すタイミングチャートである。

【図23】本発明に係るDC-DCコンバータ回路の第9実施形態を示す回路ブロック図である。

【図24】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図25】第9実施形態の、より具体的な回路構成例を示す回路ブロック図である。

【図26】図25の各部■'、■～■の信号を示すタイミングチャートである。

【図27】本発明に係るDC-DCコンバータ回路の第10実施形態を示す回路ブロック図である。

【図28】共振電流の波形図およびトランジスタのオンオフを示すタイミングチャートである。

【図29】第10実施形態の、より具体的な回路構成例を示す回路ブロック図である。

【図30】図29の各部■～■の信号を示すタイミングチャートである。

【図31】ゼロ電流スイッチング方式のDC-DCコンバータ回路の動作を説明するタイミングチャートである。

【符号の説明】

1, 101 コンバータ回路部

2, 102 駆動回路(駆動手段)

3, 30, 103, 130, 140, 170 制御回路(検出手段、駆動制御手段、記憶手段)

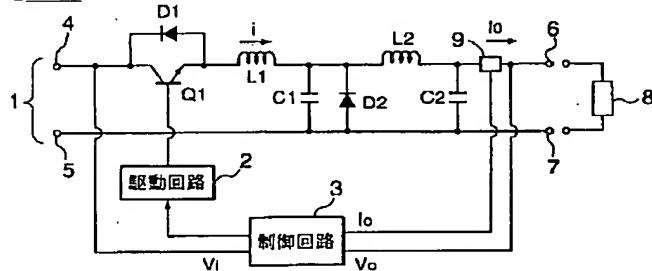
Q1, Q11 トランジスタ(スイッチング手段)

L1, L11 共振用リアクトル

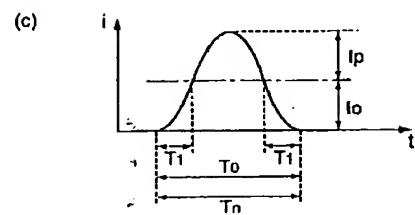
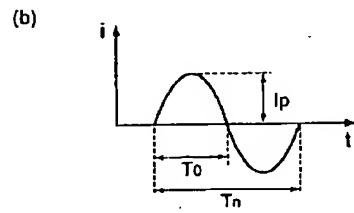
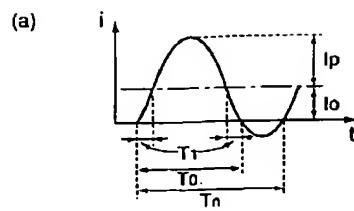
C1, C11 共振用コンデンサ

図面

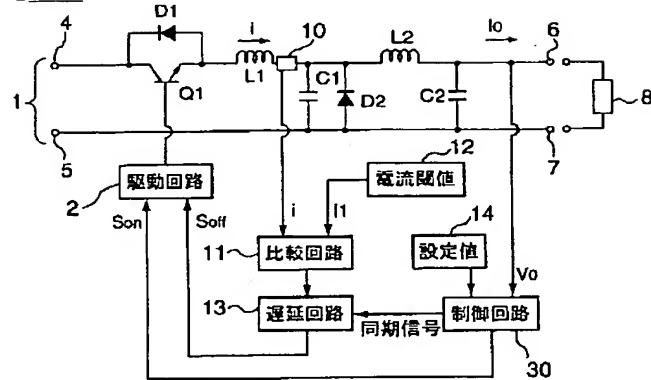
【図1】



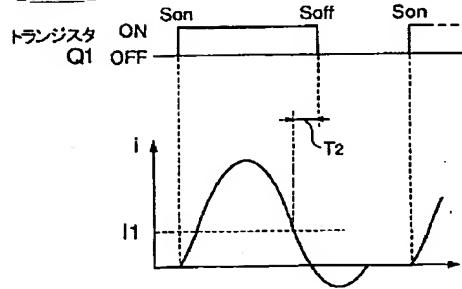
【図2】



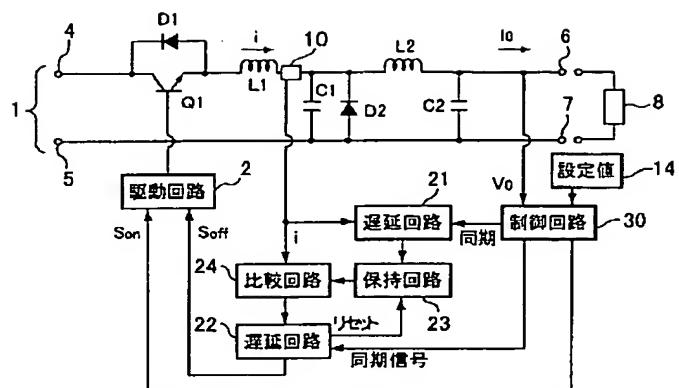
【図3】



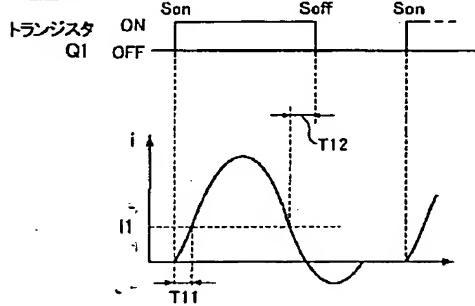
【図4】



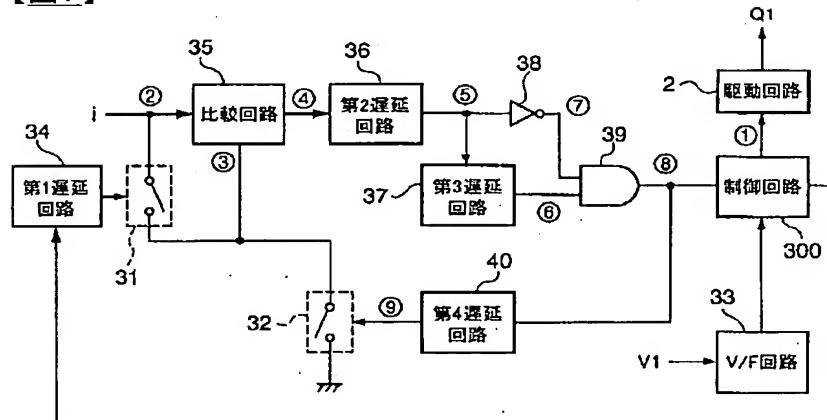
【図5】



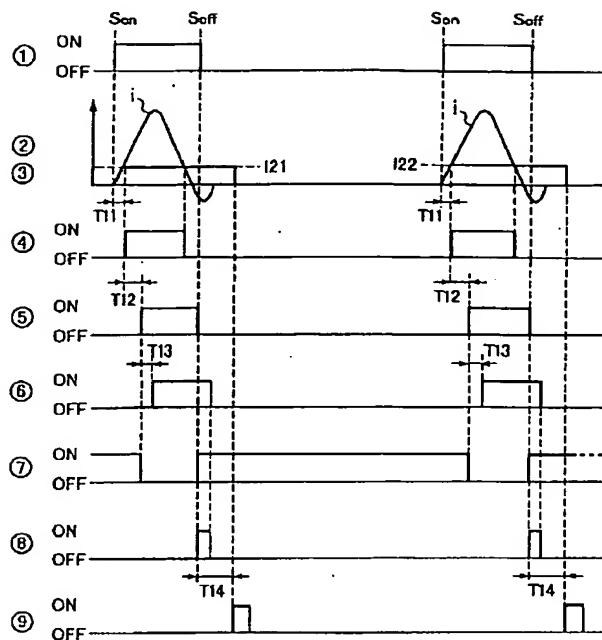
【図6】



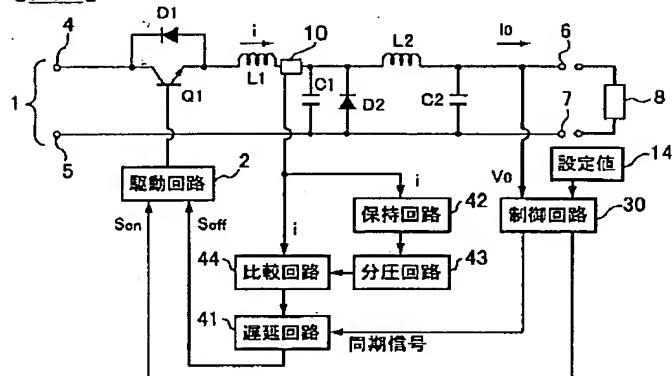
【図7】



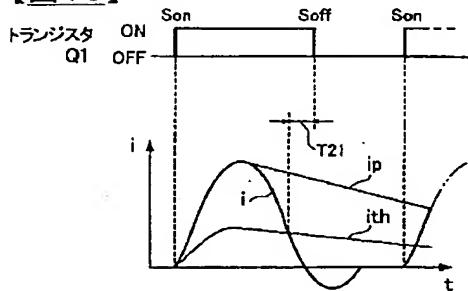
【図8】



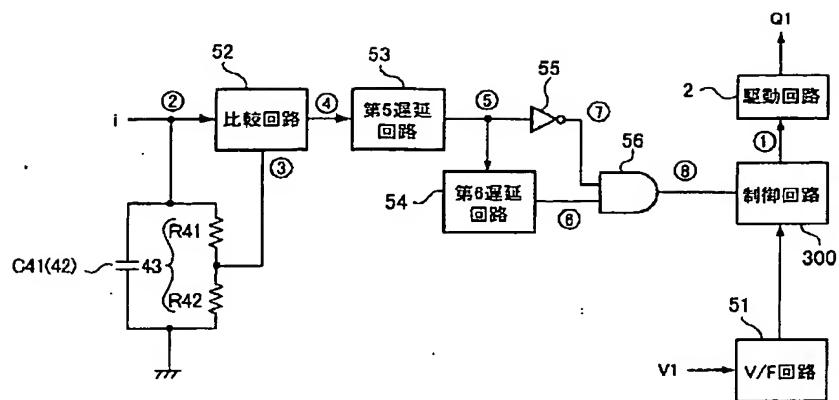
【図9】



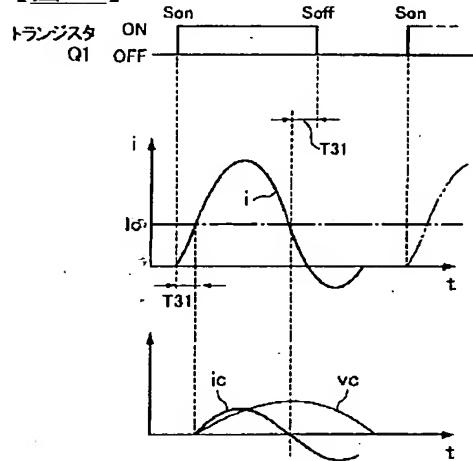
【図10】



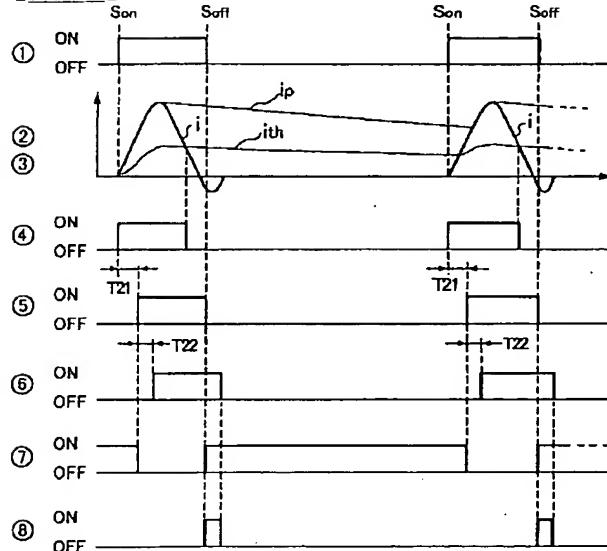
【図11】



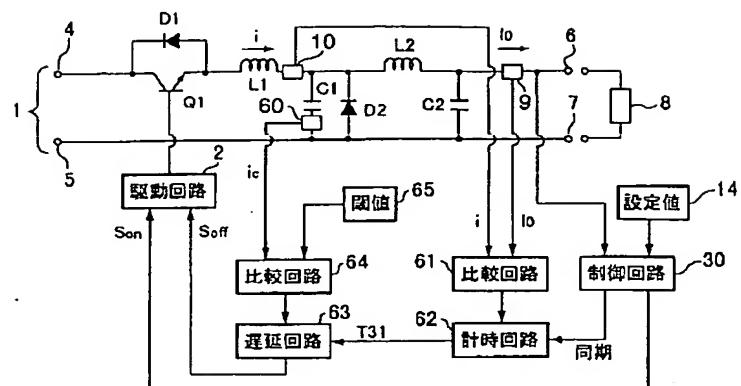
【図14】



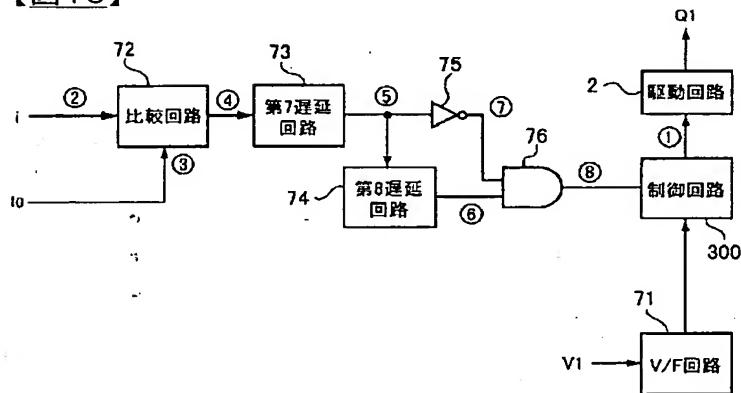
【図12】



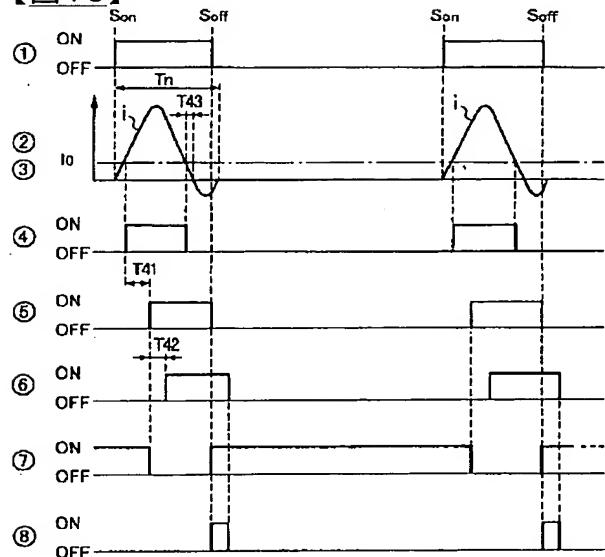
【図13】



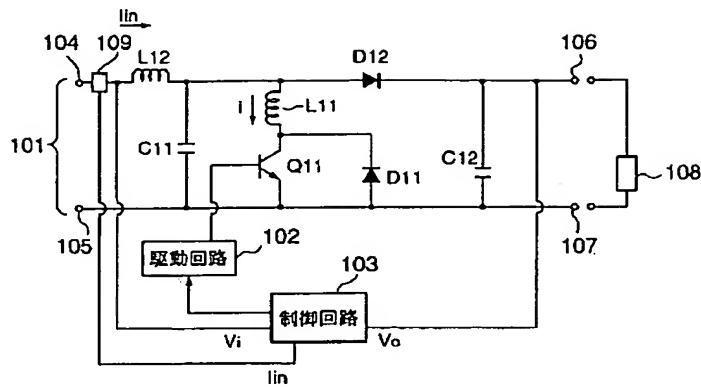
【図15】



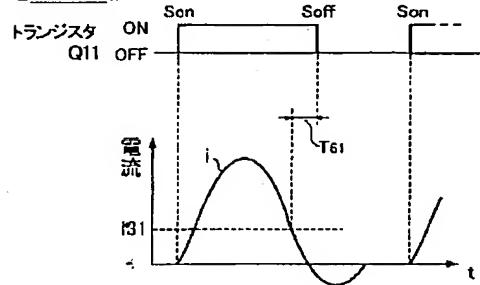
【図16】



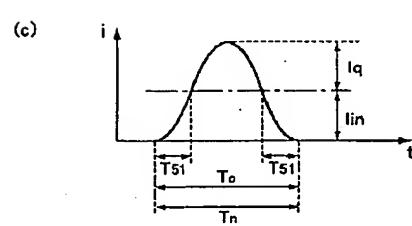
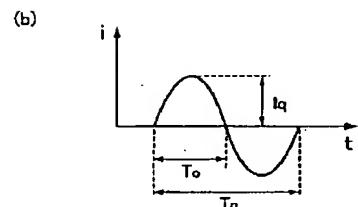
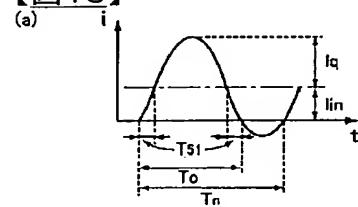
【図17】



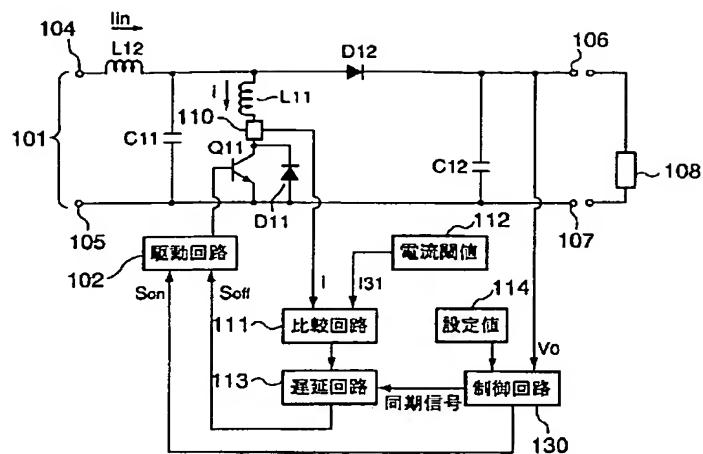
【図20】



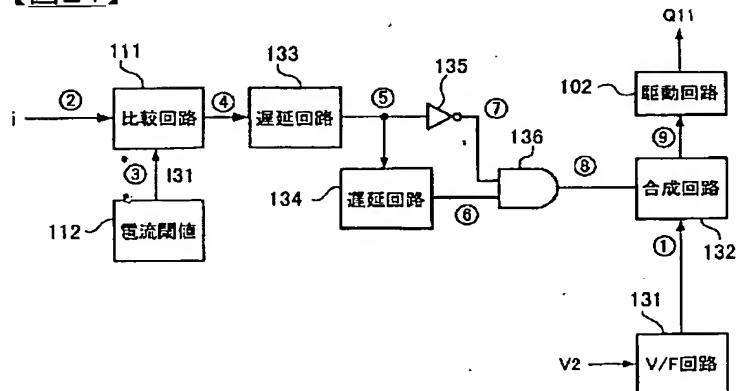
【図18】



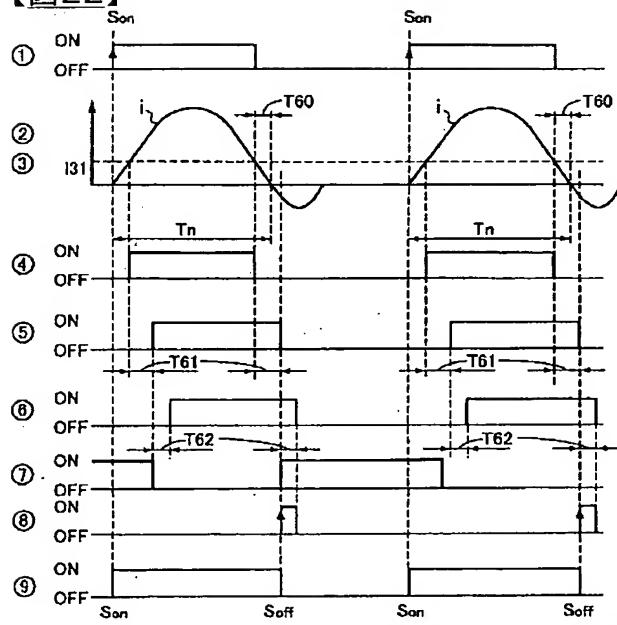
【図19】



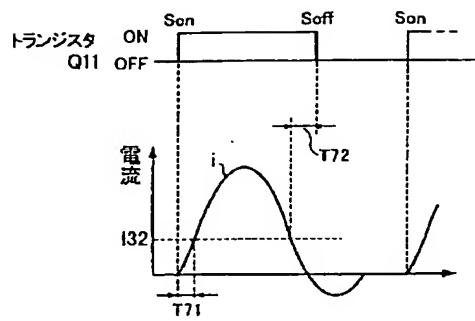
【図21】



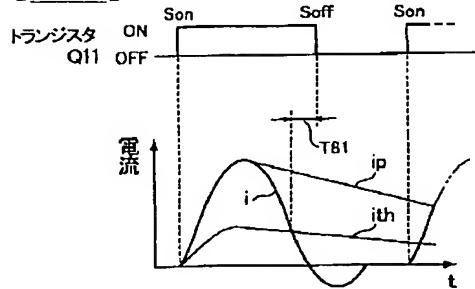
【図22】



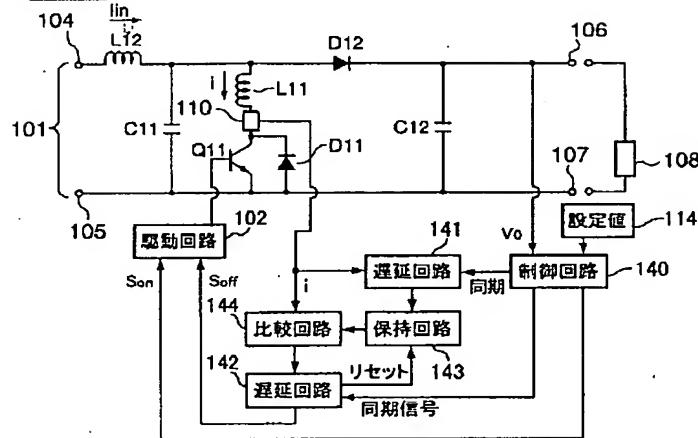
【図24】



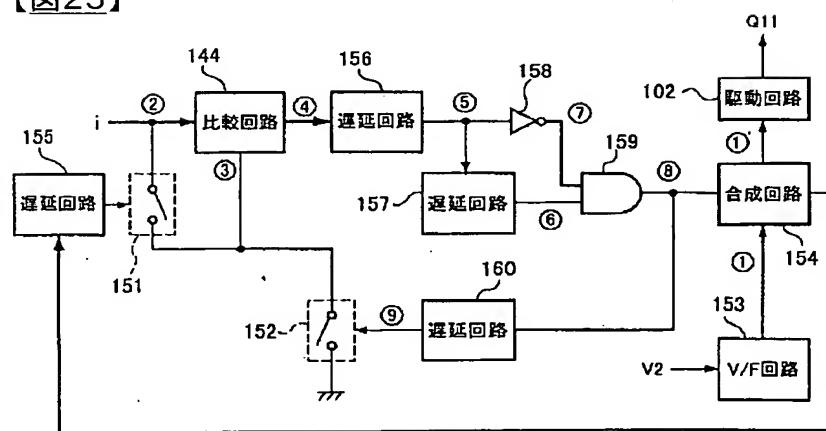
【図28】



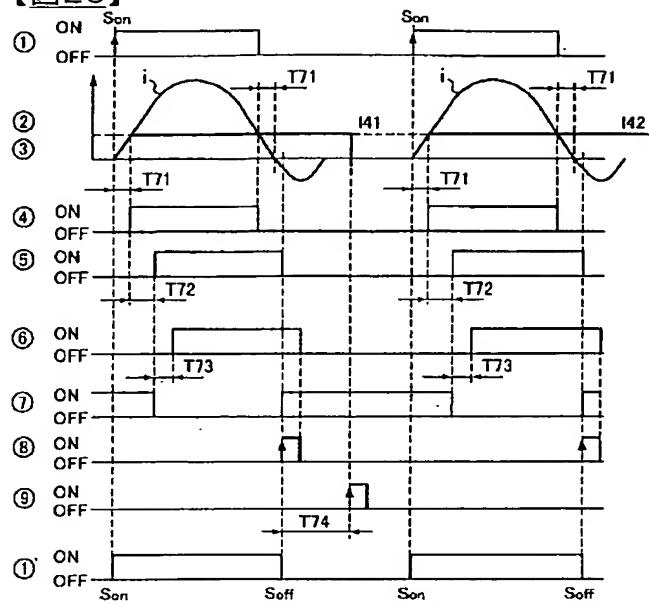
【図23】



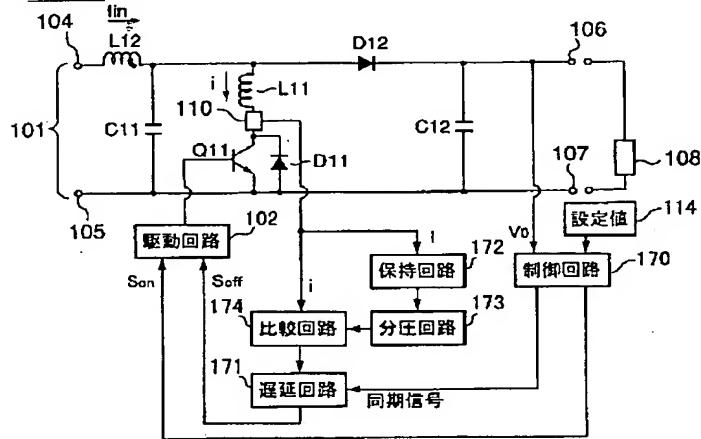
【図25】



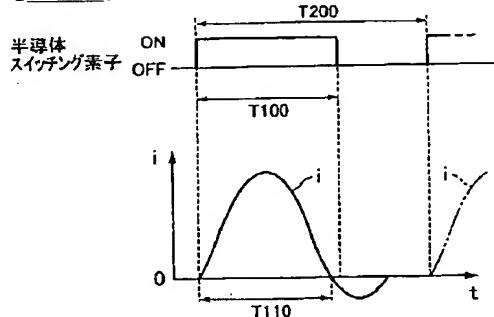
【図26】



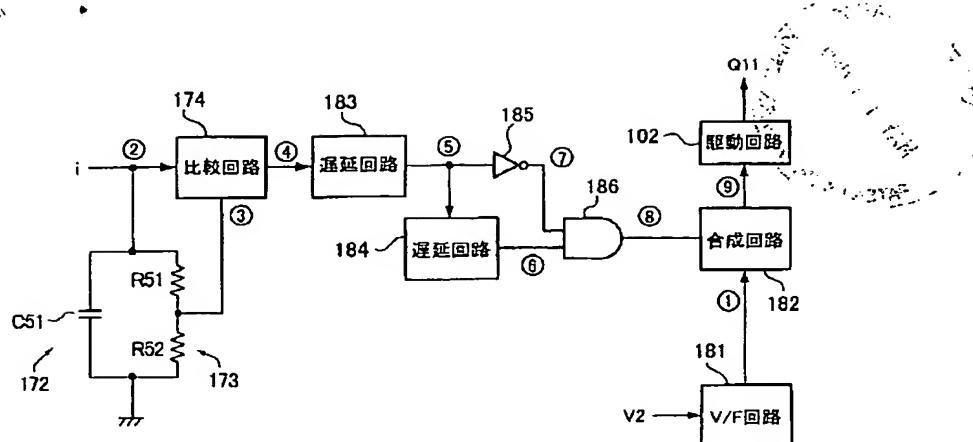
【図27】



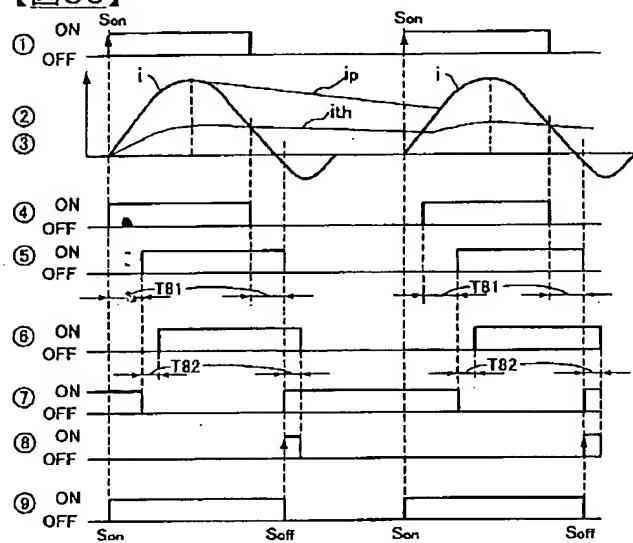
【図31】



【図29】



【図30】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.